

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-184872

(43)Date of publication of application : 28.06.2002

(51)Int.Cl.

H01L 21/8246  
H01L 27/112  
G03F 7/20  
G06K 19/077  
G11C 17/00  
G11C 17/08  
G11C 17/12  
G11C 17/18  
G11C 29/00  
H01L 21/027  
H01L 23/00  
H01L 27/04  
H01L 21/822  
H01L 27/10

(21)Application number : 2000-381458

(71)Applicant : HITACHI LTD

(22)Date of filing : 15.12.2000

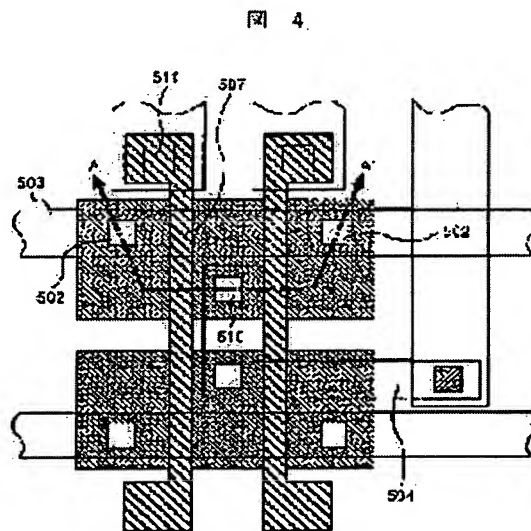
(72)Inventor : USAMI MITSUO

**(54) SEMICONDUCTOR DEVICE WITH IDENTIFICATION NUMBER, MANUFACTURING METHOD THEREOF, AND ELECTRONIC DEVICE**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To economically provide an ultra-small semiconductor device bearing an identification number by efficiently using an electron beam drawing method.

**SOLUTION:** A memory for identifying a 128 bit identification number which uses a transistor comprises a contact hole selectively formed by an electron beam drawing method. The major side length of a semiconductor chip is 0.5 nm or shorter in top view. The contact hole is generated at the same time when a contact hole of a surrounding circuit is generated. The major side length, in top view, of the semiconductor chip is smaller than the thickness of a wafer before manufacturing while allowed to be larger than the thickness after the wafer is made thinner. The same data as a bar code is stored in a memory separately. A data provided by encrypting the identification number is used to inspect a semiconductor chip.

**LEGAL STATUS**

[Date of request for examination] 15.12.2004

[Date of sending the examiner's decision of] 19.07.2005

rejection]

[Kind of final disposal of application other than withdrawal  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application] 24.10.2005

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of 2005-15783  
rejection]

[Date of requesting appeal against examiner's 18.08.2005  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-184872

(P2002-184872A)

(43) 公開日 平成14年6月28日 (2002.6.28)

| (51) Int.Cl. <sup>7</sup>            | 識別記号  | F I           | テ-マコード* (参考)    |
|--------------------------------------|-------|---------------|-----------------|
| H 0 1 L 21/8246                      |       | C 0 3 F 7/20  | 5 0 4 2 H 0 9 7 |
| 27/112                               |       |               | 5 2 1 5 B 0 0 3 |
| G 0 3 F 7/20                         | 5 0 4 | C 1 1 C 17/00 | D 5 B 0 3 5     |
|                                      | 5 2 1 |               | Z 5 F 0 3 8     |
| G 0 6 K 19/077                       |       | 29/00         | 6 5 2 5 F 0 4 6 |
| 審査請求 未請求 請求項の数33 O L (全 14 頁) 最終頁に続く |       |               |                 |

(21) 出願番号 特願2000-381458(P2000-381458)

(22) 出願日 平成12年12月15日 (2000. 12. 15)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 宇佐美 光雄

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100068504

弁理士 小川 勝男 (外2名)

最終頁に続く

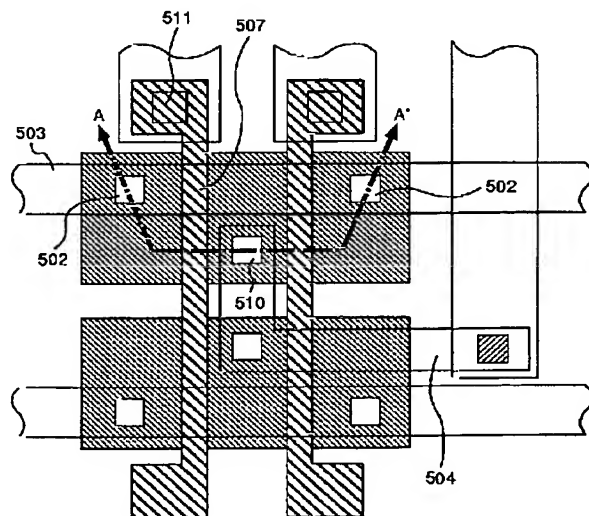
(54) 【発明の名称】 認識番号を有する半導体装置、その製造方法及び電子装置

(57) 【要約】

【課題】電子線描画法の効率的活用により、認識番号を有する超小型の半導体装置を経済的に実現する。

【解決手段】トランジスタを用いた128ビットの認識番号を識別するためのメモリを、電子線描画法を用いて選択的に形成したコンタクトホールによって構成する。半導体チップの平面長辺寸法を0.5mm以下とする。また、上記コンタクトホールを周囲の回路のコンタクトホールと同時に作成する。その他、半導体チップの平面長辺寸法を製造開始前のウエハの厚さよりも小さく、ウエハが薄膜化された後の厚さよりも大きくする。別に、メモリにバーコードと同一のデータを更に格納する。更に別に、認識番号を暗号化したデータを用いて半導体チップの検査を行なう。

図 4



(2) 002-184872 (P2002-184872A)

## 【特許請求の範囲】

【請求項1】トランジスタを用いた128ビットのメモリで認識番号が構成される半導体装置の製造方法において、半導体基板表面に、前記トランジスタの構成要素となる導電領域を複数形成する工程と、複数の前記導電領域上部に絶縁膜を形成する工程と、前記認識番号を得るために、複数の前記導電領域の上の前記絶縁膜に、電子線描画法を用いて選択的にコンタクトホールを形成する工程と、前記コンタクトホールを介して、前記導電膜領域に接続される配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】複数のトランジスタを用いたメモリにより認識番号が識別される半導体装置の製造方法において、半導体基板表面に、複数の前記トランジスタのソース領域及びドレイン領域とを形成する工程と、複数の前記ソース領域及びドレイン領域を覆って絶縁膜を形成する工程と、前記メモリで記憶する‘1’、‘0’に応じて有無を選択されたコンタクトホールを、前記トランジスタ上の絶縁膜に電子線描画法を用いて形成する工程と、前記コンタクトホールを有する絶縁膜上に配線層を形成する工程と、その後、前記半導体基板上にマイクロ波受信用のコイルを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】前記トランジスタはNMOSTランジスタであることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】前記半導体装置は送受信回路を有することを特徴とする請求項2又は3記載の半導体装置の製造方法。

【請求項5】前記メモリは読み出し専用メモリであることを特徴とする請求項2乃至4の何れかに記載の半導体装置の製造方法。

【請求項6】前記半導体装置は、前記メモリの内容を読み出すためのカウンタ及びデコード回路を有することを特徴とする請求項2乃至5の何れかに記載の半導体装置の製造方法。

【請求項7】前記コイルは、前記半導体基板が分離されて形成される各半導体チップ毎に形成されることを特徴とする請求項2乃至6の何れかに記載の半導体装置の製造方法。

【請求項8】前記半導体チップの平面長辺寸法は、0.5mm以下であることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】前記コイルは、アルミニウム又は銅で形成されることを特徴とする請求項2乃至8の何れかに記載の半導体装置の製造方法。

【請求項10】前記コイルは、多層配線構造を有することを特徴とする請求項2乃至9の何れかに記載の半導体装置の製造方法。

【請求項11】前記半導体装置は、コンデンサと前記コイルとを有する共振回路を備え、前記コンデンサは前記配線層を一方の電極として形成されることを特徴とする請求項2乃至10の何れかに記載の半導体装置の製造方法。

【請求項12】前記チップの平面長辺寸法は、前記半導体基板の製造着工時の厚さよりも小さいことを特徴とする請求項7又は8記載の半導体装置の製造方法。

【請求項13】半導体基板を準備する工程と、前記半導体基板表面であって、平面長辺寸法が前記半導体基板の厚さよりも小さなチップ領域内部に半導体装置を形成する工程と、前記半導体基板の厚さが、前記チップ領域の平面長辺寸法よりも薄くなるまで前記半導体基板を裏面側から除去する工程と、前記半導体装置をチップ状に分離する工程とを有することを特徴とする半導体装置の製造方法。

【請求項14】複数のトランジスタを用いたメモリにより認識番号が識別される半導体装置の製造方法において、半導体基板表面に、前記トランジスタの構成要素となる導電領域を複数形成する工程と、複数の前記導電領域上部に絶縁膜を形成する工程と、前記認識番号を得るために、複数の前記導電領域の上の前記絶縁膜に、電子線描画法を用いて選択的にコンタクトホールを形成する工程と、前記コンタクトホールを介して、前記導電領域に接続される配線を形成する工程と、その後、前記半導体基板上にマイクロ波受信用のコイルを形成する工程と、前記半導体基板を裏面側から除去して薄膜化する工程と、前記半導体基板をチップに分離する工程とを有し、前記チップの平面長辺寸法は、製造開始前の前記半導体基板の厚さよりも小さく、前記半導体基板が薄膜化された後の厚さよりも大きいことを特徴とする半導体装置の製造方法。

【請求項15】トランジスタを用いて第1のメモリで認識番号が構成される半導体装置において、前記半導体装置は、前記トランジスタの構成要素となる導電領域と、複数の前記導電領域を覆って形成された絶縁膜と、前記認識番号を得るために、複数の前記導電領域の上の前記絶縁膜に、選択的に形成されたコンタクトホールと、前記コンタクトホールを介して、前記導電領域に接続される配線と、

!(3) 002-184872 (P2002-184872A)

前記配線上に設けられたマイクロ波受信用コイルと、コンデンサと前記マイクロ波受信用コイルとを含む共振回路と、

前記認識番号を暗号化した暗号コードを記憶する第2のメモリとを有することを特徴とする半導体装置。

【請求項16】複数のトランジスタを用いた128ビットのメモリで認識番号が構成される半導体装置において、

前記半導体装置は、半導体基板表面に設けられた、複数の前記トランジスタのソース領域及びドレイン領域と、複数の前記ソース領域及びドレイン領域を覆って設けられた絶縁膜と、

前記メモリで記憶する‘1’、‘0’に応じて有無を選択された、前記トランジスタ上の絶縁膜に設けられるコンタクトホールと、

前記コンタクトホールを有する絶縁膜上に設けられた配線層と、

前記配線層が設けられた半導体基板上に形成されたマイクロ波受信用のコイルとを有することを特徴とする半導体装置。

【請求項17】前記半導体装置の平面長辺寸法は0.5mm以下のチップ形状を有し、前記トランジスタはNMOSトランジスタであることを特徴とする請求項16記載の半導体装置。

【請求項18】複数の前記ソース領域は共通のソース配線に接続され、複数の前記ドレイン領域は共通のドレイン配線に接続されていることを特徴とする請求項17記載の半導体装置。

【請求項19】前記半導体装置は更に前記メモリ内容を読み出すためのカウンタ及びデコード回路、プリチャージ回路を有し、前記ソース配線は前記デコード回路により選択されて接地レベルになり、前記ドレイン配線の浮遊容量には前記プリチャージ回路により電荷が一時的に蓄えられ、前記メモリからの出力はインバートされて出力されることを特徴とする請求項18記載の半導体装置。

【請求項20】トランジスタを用いたメモリで認識番号が構成され、平面長辺寸法が0.5mm以下の半導体装置と、マイクロ波送信用コイルとを備えた電子装置において、

前記半導体装置は、前記トランジスタの構成要素となる導電領域と、複数の前記導電領域を覆って形成された絶縁膜と、前記認識番号を得るために、複数の前記導電領域の上の前記絶縁膜に、選択的に形成されたコンタクトホールと、前記コンタクトホールを介して、前記導電領域に接続される配線とを有し、

前記電子装置にはバーコードが設けられていることを特徴とする電子装置。

【請求項21】前記半導体装置は、前記バーコードと同一のデータが蓄えられる第2のメモリを有することを特

徴とする請求項20記載の電子装置。

【請求項22】前記第2メモリに記憶されるデータは暗号化されていることを特徴とする請求項21記載の電子装置。

【請求項23】トランジスタを用いたメモリで認識番号が構成される半導体装置が搭載される電子装置の製造方法において、

半導体基板表面に、前記トランジスタの構成要素となる導電領域を複数形成する工程と、

複数の前記導電領域上部に絶縁膜を形成する工程と、

前記認識番号を得るために、複数の前記導電領域の上の前記絶縁膜に、電子線描画法を用いて選択的にコンタクトホールを形成する工程と、

前記コンタクトホールを介して、前記導電領域に接続される配線を形成する工程と、

その後、前記半導体装置をテープに固定し、前記半導体装置に設けられたテスト端子を用いて電気的特性を検査する工程とを有することを特徴とする電子装置の製造方法。

【請求項24】トランジスタを用いた128ビットのメモリで認識番号が構成される半導体装置が搭載される電子装置の製造方法において、

半導体基板表面に、前記トランジスタの構成要素となる導電領域を複数形成する工程と、

複数の前記導電領域上部に絶縁膜を形成する工程と、

前記認識番号を得るために、複数の前記導電領域の上の前記絶縁膜に、電子線描画法を用いて選択的にコンタクトホールを形成する工程と、

前記コンタクトホールを介して、前記導電領域に接続される配線を形成する工程と、

前記半導体装置を実装基体に搭載する工程と、

その後、前記実装基体をテープに貼着し、インレットに封入する工程とを有することを特徴とする電子装置の製造方法。

【請求項25】トランジスタを用いた第1のメモリで認識番号が構成される半導体装置が搭載される電子装置の製造方法において、

半導体基板表面に、前記トランジスタの構成要素となる導電領域を複数形成する工程と、

複数の前記導電領域上部に絶縁膜を形成する工程と、

前記認識番号と、トランジスタを用いた第2のメモリで構成される、前記認識番号を暗号化した暗号コードとを得るために、複数の前記導電領域の上の前記絶縁膜に、電子線描画法を用いて選択的にコンタクトホールを形成する工程と、

前記コンタクトホールを介して、前記導電領域に接続される配線を形成する工程と、

前記第1のメモリから前記認識番号を読み出し、読み出された前記認識番号を前記暗号化と同様の手順で暗号化した暗号コードと、前記第2のメモリから読み出した暗

(4) 002-184872 (P2002-184872A)

号コードとを照合し、一致したら良品、不一致の場合には不良品として選別する工程とを有することを特徴とする電子装置の製造方法。

【請求項26】トランジスタを用いたメモリで認識番号が構成され、平面長辺寸法が0.5mm以下の半導体装置が搭載される電子装置の製造方法において、半導体基板表面に、前記トランジスタの構成要素となる導電領域を複数形成する工程と、複数の前記導電領域上部に絶縁膜を形成する工程と、前記認識番号を得るために、複数の前記導電領域の上の前記絶縁膜に、電子線描画法を用いて選択的にコンタクトホールを形成する工程と、前記コンタクトホールを介して、前記導電膜領域に接続される配線を形成する工程と、その後、前記半導体装置を紙に渡さ込む工程とを有することを特徴とする電子装置の製造方法。

【請求項27】トランジスタを用いたメモリにより認識番号が識別される半導体装置とバーコードとを有する電子装置において、前記半導体装置は、前記トランジスタの構成要素となる導電領域と、複数の前記導電領域を覆って形成された絶縁膜と、前記認識番号を得るために、複数の前記導電領域の上の前記絶縁膜に選択的に形成されたコンタクトホールと、前記コンタクトホールを介して前記導電領域に接続される配線と、前記配線層が設けられた半導体基板上に形成されたマイクロ波受信用のコイルとを有し、前記メモリは、前記認識番号を記憶する領域の他に前記バーコードと同一のデータを記憶する領域を有していることを特徴とする電子装置。

【請求項28】複数のトランジスタを用いた128ビットのメモリで認識番号が構成される半導体装置と、マイクロ波受信用のコイルとを備えた電子装置において、前記半導体装置は、半導体基板表面に設けられた、複数の前記トランジスタのソース領域及びドレイン領域と、複数の前記ソース領域及びドレイン領域を覆って設けられた絶縁膜と、前記メモリで記憶する‘1’、‘0’に応じて有無を選択された、前記トランジスタ上の絶縁膜に設けられるコンタクトホールと、前記コンタクトホールを有する絶縁膜上に設けられた配線層とを有することを特徴とする半導体装置。

【請求項29】半導体基板表面であって、平面長辺寸法が0.5mm以下の半導体チップとなる領域内部にトランジスタの構成要素となる導電領域を複数形成する工程と、複数の前記導電領域上部に絶縁膜を形成する工程と、128ビットを用いた認識番号を構成するメモリを形成するために、前記絶縁膜に電子線描画法を用いて選択的にコンタクトホールを形成する工程と、前記コンタクトホールを介して前記導電領域に接続され

る配線を前記絶縁膜上に形成する工程とを有し、前記選択的にコンタクトホールを形成する工程は、周辺回路で用いるコンタクトホールを形成する工程と連続して行なわれることを特徴とする半導体装置の製造方法。

【請求項30】半導体基板表面にトランジスタの構成要素となる導電領域を複数形成する工程と、複数の前記導電領域上部に第1の絶縁膜を形成する工程と、第1の絶縁膜の上に前記導電領域に接続される第1の配線を形成する工程と、第1の配線を含む面に第2の絶縁膜を形成する工程と、128ビットを用いた認識番号を構成するメモリを形成するために、第2の絶縁膜に電子線描画法を用いて選択的にスルーホールを形成する工程と、前記スルーホールを介して第1の配線に接続される第2の配線を第2の絶縁膜上に形成する工程とを有していることを特徴とする半導体装置の製造方法。

【請求項31】半導体基板を準備する工程と、前記半導体基板表面であって、平面長辺寸法が前記半導体基板の厚さよりも小さいチップ領域内部に半導体装置を形成する工程と、前記半導体基板の厚さが、前記チップ領域の平面長辺寸法よりも薄くなるまで前記半導体基板を裏面側から除去する工程と、前記半導体装置をチップ状に分離する工程とを有し、前記半導体装置は、認識番号を構成するためのメモリを備えていることを特徴とする半導体装置の製造方法。

【請求項32】認識番号を識別するためのメモリと、マイクロ波を受信して前記識別番号を送信するためのコイルとを有し、前記メモリは、前記認識番号を記憶する領域の他にバーコードのデータを記憶する領域を有していることを特徴とする半導体装置。

【請求項33】認識番号を識別するための認識番号コードを記憶する第1のメモリ及び前記認識番号を暗号化した暗号コードを記憶する第2のメモリを形成する工程と、マイクロ波を受信して前記識別番号及び前記暗号コードを送信するためのコイルを形成する工程と、マイクロ波を介して読み取った前記識別番号を前記暗号化と同様の手順で暗号化した第2の暗号コードと、マイクロ波を介して読み取った第1の暗号コードとを照合して検査を行なう工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、認識番号を有する半導体装置、特に各種の物体に装着可能な小型の半導体装置を経済的に実現するための技術である。

【0002】

(5) 002-184872 (P2002-184872A)

【従来の技術】最近、質問機からの問い合わせに対して無線により非接触で情報を返すICカードが盛んに用いられるようになってきている。ICカードには、メモリや簡単な論理回路等を有する小型の半導体チップ（IC）が組み込まれる。そのような半導体チップに類似の、非接触で識別を行ないたい物体に装着可能な、認識番号を有する半導体チップが出現している。該半導体チップには、チップ毎に異なる認識番号を書き込んだリードオンリメモリ（ROM）が設けられる。

【0003】そのようなROMを実現するための技術が、例えば特開平8-139208号公報によって開示されている。この方法では、半導体ウエハ上において、半導体チップ毎に個々に異なる認識番号が電子線描画技術を用いて書き込まれる。具体的には、認識番号の書き込みが、ガラスマスクを用いることなく、電子線描画による配線パターンの切断によって行なわれる。

【0004】この方法によれば、切断が行なわれていない配線パターンを一旦固定パターンとして従来のガラスマスクを用いたホトリソグラフィ工程により形成し、続いてレジスト膜を半導体ウエハに塗布してポストバークし、次に配線パターンの切断部分へ電子線を描画する。その後、現像液によって、電子線を描画した部分のパターンを除去し、更にエッチング液又はドライエッチング用のイオンによって配線パターンの所定の部分の配線を除去し、その後、レジスト膜をアッシャにて除去して洗浄することにより、本来意図した配線パターンの切断によるパターンニングを実現するという複雑な工程を経る必要があった。チップ毎に異なる認識番号を書き込んだROMを設ける別の方法として、ステップ・アンド・リピート方式の露光処理によってコンタクトホールの有無を定める技術が例えば特開平10-559939号公報によって開示されている。

【0005】

【発明が解決しようとする課題】従来技術によれば、認識番号を有する半導体チップを経済的に実現する方法を提供することができない。即ち、ウエハ上の認識番号を有する半導体チップに個別に異なる認識番号をメモリとして書き込むためには、一つの方法として電子線描画が挙げられるが、このとき、従来技術では、複雑な工程を追加することや複雑な近接効果補正を施すことが避けられず、従って高価な電子線描画装置の効率的活用を図ることが不可能であり、経済的に認識番号を有する半導体チップを実現する方法を提供することができない。なお、近接効果は、電子線がレジスト中に拡散を起こして描画形状が変わることであるが、高密度の描画ではその変化を見込んだ処理即ち補正が必要となる。

【0006】また、認識番号を形成する別の方法としてステップ・アンド・リピート方式の露光処理があるが、この方法では、マスクを1ビットずつ動かしながらパターンに従って露光の有無を選ぶので、認識番号のビット

数が増えると共に、更にはウエハに作製するチップ数の増大と共に膨大な加工時間が必要となり、経済性が著しく損なわれる。なお、前掲の特開平10-559939号公報は、ステップ・アンド・リピート方式に代えて電子線描画を採用することが可能であることに触れている。しかし、この電子線描画は、ステップ・アンド・リピート方式の場合と同様、認識番号の形成にのみ使用されるため、上記電子線描画と同様の課題があることとなる。

【0007】次に、認識番号を有する半導体装置を普及させるために、上記の主課題の解決の他に、以下の事項を実現する必要がある。

【0008】第1に、半導体チップをフィルム状の薄い実装基体に効率良く搭載できるようにすることが挙げられる。その実現のため、実装時に、チップのデバイス面が実装基体に垂直になることを避けて、自然に実装基体に水平になるようにし、半導体装置の実装を経済的に実現することを可能とする方法を提供する必要がある。

【0009】第2に、認識番号を有する半導体チップを従来のバーコードシステムと共存して取り扱うことを可能にすることが挙げられる。その実現のため、バーコードシステムを効率よく運用することを可能とし、認識番号を有する半導体装置を経済的に応用することを可能にする方法を提供する必要がある。

【0010】第3に、認識番号を有する半導体装置を検査するとき、従来の高価な半導体テストを利用することなく、経済的に認識番号を有する半導体装置を検査することを可能とする必要がある。

【0011】

【課題を解決するための手段】上記の主課題を解決するために、本発明による半導体装置の製造方法は、トランジスタを用いた128ビットのメモリで認識番号が構成される半導体装置の製造方法において、半導体基板表面に前記トランジスタの構成要素となる導電領域を複数形成する工程と、複数の前記導電領域上部に絶縁膜を形成する工程と、前記認識番号を得るために、複数の前記導電領域の上の前記絶縁膜に電子線描画法を用いて選択的にコンタクトホールを形成する工程と、前記コンタクトホールを介して前記導電膜領域に接続される配線を形成する工程とを有することを特徴とする。

【0012】上記の主課題を解決するために、本発明による別の半導体装置の製造方法は、複数のトランジスタを用いたメモリにより認識番号が識別される半導体装置の製造方法において、半導体基板表面に複数の前記トランジスタのソース領域及びドレイン領域とを形成する工程と、複数の前記ソース領域及びドレイン領域を覆って絶縁膜を形成する工程と、前記メモリで記憶する

‘1’、‘0’に応じて有無を選択されたコンタクトホールを、前記トランジスタ上の絶縁膜に電子線描画法を用いて形成する工程と、前記コンタクトホールを有する



(6) 002-184872 (P2002-184872A)

絶縁膜上に配線層を形成する工程と、その後、前記半導体基板上にマイクロ波受信用のコイルを形成する工程とを有することを特徴とする。

【0013】上記の主課題を解決するために、本発明による半導体装置は、複数のトランジスタを用いた128ビットのメモリで認識番号が構成される半導体装置において、前記半導体装置は、半導体基板表面に設けられた、複数の前記トランジスタのソース領域及びドレイン領域と、複数の前記ソース領域及びドレイン領域を覆って設けられた絶縁膜と、前記メモリで記憶する‘1’、‘0’に応じて有無を選択された、前記トランジスタ上の絶縁膜に設けられるコンタクトホールと、前記コンタクトホールを有する絶縁膜上に設けられた配線層と、前記配線層が設けられた半導体基板上に形成されたマイクロ波受信用のコイルとを有することを特徴とする。

【0014】上記の第1の課題を解決するために、本発明による半導体装置の製造方法は、半導体基板を準備する工程と、前記半導体基板表面であって、平面長辺寸法が前記半導体基板の厚さよりも小さいチップ領域内部に半導体装置を形成する工程と、前記半導体基板の厚さが前記チップ領域の平面長辺寸法よりも薄くなるまで前記半導体基板を裏面側から除去する工程と、前記半導体装置をチップ状に分離する工程とを有することを特徴とする。

【0015】上記の第2の課題を解決するために、本発明による電子装置は、トランジスタを用いたメモリにより認識番号が識別される半導体装置とバーコードとを有する電子装置において、前記半導体装置は、前記トランジスタの構成要素となる導電領域と、複数の前記導電領域を覆って形成された絶縁膜と、前記認識番号を得るために、複数の前記導電領域の上の前記絶縁膜に選択的に形成されたコンタクトホールと、前記コンタクトホールを介して前記導電領域に接続される配線と、前記配線層が設けられた半導体基板上に形成されたマイクロ波受信用のコイルとを有し、前記メモリは、前記認識番号を記憶する領域の他に前記バーコードと同一のデータを記憶する領域を有していることを特徴とする。

【0016】上記の第3の課題を解決するために、本発明による半導体装置は、トランジスタを用いて第1のメモリで認識番号が構成される半導体装置において、前記半導体装置は、前記トランジスタの構成要素となる導電領域と、複数の前記導電領域を覆って形成された絶縁膜と、前記認識番号を得るために、複数の前記導電領域の上の前記絶縁膜に、選択的に形成されたコンタクトホールと、前記コンタクトホールを介して、前記導電領域に接続される配線と、前記配線上に設けられたマイクロ波受信用コイルと、コンデンサと前記マイクロ波受信用コイルとを含む共振回路と、前記認識番号を暗号化した暗号コードを記憶する第2のメモリとを有することを特徴とする。

【0017】

【発明の実施の形態】以下、本発明に係る認識番号を有する半導体装置、その製造方法及び電子装置を図面に示した幾つかの発明の実施の形態を参照して更に詳細に説明する。

【0018】図1に本発明の第1の実施の形態で採用する回路を示す。本発明の認識番号を有する半導体装置には、超小型化が可能な回路構成が採用され、目的に応じて様々な回路構成が採用される。

【0019】図1に示した回路は、マイクロ波を用いて遠隔の質問機と交信するための送受信回路の例である。認識番号を有する半導体装置（半導体チップ）の回路100は、コンデンサ113と共に共振回路122を形成するコイル（アンテナコイル）101、コイル101で受信した質問機（図示せず）からのマイクロ波信号を倍圧整流して電源電圧VDDを得、更に、電源電圧VDDが適当な電圧になったときに電源電圧VDDを出力するパワーオンリセット回路110を有する電源回路102、受信したマイクロ波信号に変調を与える変調器109、振幅変調されているマイクロ波信号を復調してクロック信号CLKを取出す復調回路103、クロック信号CLKを増幅するアンプ（VDDクランプ）104、クロック信号CLKを分周して25kHzのクロック信号にする3-bitカウンタ105、更に分周して12.5kHzのクロック信号にする7-bitカウンタ106、後で詳述する、認識番号を書き込んだリードオンリメモリ112、メモリ112の内容を1ビットずつ読み出すためのデコード回路（デコーダ）107、メモリ112の出力のメモリOUTを所定のタイミングで出力するゲート回路108からなる。変調器109は、ゲート回路108出力のメモリOUTを受けてマイクロ波信号を変調する。なお、カウンタ105等の論理回路を形成する各回路は、NMOSTランジスタとCMOSTランジスタを組み合わせたCMOS論理回路によって実現される。

【0020】コイル101は、半導体チップ111のチップ上にオンチップで形成される。それによって、経済性を得ることができる。なお、コイルは、それに限らず外付けのコイルとすることも可能である。また、放射エネルギーによって、リードオンリメモリ112の内容を送信するために、放射アンテナを取り付けることも可能である。

【0021】コイルを外付けとする場合は、例えば、カード状の実装基体の周囲に外付けアンテナを形成し、半導体チップ111を該実装基体上に搭載することによって電子装置、代表的にはICカードを構成することができる。

【0022】リードオンリメモリ112に搭載される認識番号は、複数のメモリビットから構成されており、本実施形態では128ビットを採用した。128ビットであれば、2の128乗の組み合わせを得ることが可能となる。このビット数は、応用分野によって自由に設計することが可能であり、可変構造とすることも可能である。



(7) 002-184872 (P2002-184872A)

【0023】この認識番号のメモリへの書き込み法としては、レーザによる方法や、ヒューズを切る方法や、配線をショートする方法などがあるが、書き込みエリアを必要としたり、周辺回路を必要としたり、書き込み時間を長くする必要があったり、経済的に認識番号を有する半導体チップを形成するためには、より効率的方法が必要とされる。特に、ウエハ（半導体基板）上で各半導体チップに個別に異なる認識番号を書き込むためには、電子線描画技術を活用することがポイントとなる。そして、上記の本発明の認識番号を有する半導体チップの回路は、電子線描画技術を用いて実現される。

【0024】図2に電子線描画技術によって作製されるリードオンリメモリ112の回路構成の例を示す。NMOSTランジスタ201は、メモリの1ビットに相当するデータを保持するために用いられる。コンタクトホール（コンタクト穴）502は、メモリが‘1’のときは有り、メモリが‘0’のときは無しとするように用いられる。なお、コンタクト穴の有無の‘1’、‘0’への対応は、この逆であっても良い。ソース配線503はトランジスタ201と同じデータ保持用の複数のNMOSTランジスタ（図示せず）のソースを共通に接続するための配線である。また、ドレイン配線504は、トランジスタ201他のデータ保持用のNMOSTランジスタのドレインを共通に接続するための配線である。なお、トランジスタ201他のデータ保持用のNMOSTランジスタは、図示していないが、その128個が16×8のマトリクスに配置される。

【0025】NMOSTランジスタ201のソースに設けたコンタクト穴502が有りの場合は、NMOSTランジスタ201のソースはソース配線503に接続される。このソース配線は、デコーダ107の有するYデコーダによって選択されたとき、トランジスタ515、516（ドレイン線回路）を介して接地レベルになる。従って、デコーダ107の有するXデコーダによる選択によって、NMOSTランジスタ201のゲートがハイレベルとなると、NMOSTランジスタ201はオンとなって電流を流し、ドレイン配線504の浮遊容量Cに予め貯えられていた電荷を放電させる。なお、ドレイン配線504の浮遊容量Cへの一時的な充電は、プリチャージ回路517によって行なわれる。

【0026】ドレイン配線504に接続されたインバータ518からメモリOUTが出力されるが、ドレイン配線504のレベルによって出力レベルが決まる。NMOSTランジスタ201のコンタクト穴が有りであれば、ドレイン配線504の電荷が接地に抜けるので、メモリOUTはインバータ518でインバートされてハイレベル即ちメモリ内容が‘1’であることを示し、NMOSTランジスタ201のコンタクト穴が無しであればドレイン配線504の電荷は抜けることはなく、ドレイン配線504はハイレベルのままであり、それがインバータ518でインバートされて

出力される。即ち、メモリOUT出力はローレベルとなり、メモリ内容が‘0’であることを示す。

【0027】ここで、図3に上記のリードオンリメモリ112を駆動する信号の波形の例を示す。第1の波形301はこの実施形態では100kHzのクロック信号CLKを示している。第2の波形302は、第1の波形を2分の1に周波数ダウン（分周）した50kHzの波形を示している。第3の波形303は、第2の波形をカウンタ105によって2分の1に周波数ダウンした25kHzの波形を示している。第4の波形304は、第3の波形をカウンタ106によって2分の1に周波数ダウンした12.5kHz波形を示している。第5の波形305は、図1のゲート回路108を経たメモリOUTのタイミングを示す波形を示している。このメモリOUTのパルス幅は、この実施形態では20マイクロ秒である。

【0028】以上の各波形は、図1と図2の本発明の実施形態の回路が動作しているときの例を示している。即ち、復調回路103で復調されたクロック信号CLK（この場合100kHz）は、順次カウントダウンされて最終的には12.5kHzまで周波数低減される。このとき、途中のカウントダウンされた信号、即ち、第2、第3及び第4の信号は有効に処理されて、メモリ112周辺のプリチャージ回路517、ゲート回路108（メモリ出力回路）などに使用される。

【0029】ところで、カウンタ回路の構成によって、各波形の立ち上がり又は立ち下がりで出力が確定されるようになるが、図3に示した本実施形態では、立ち下がりのエッジによって出力が確定されるようになっている。これは、マイクロ波で受信するエネルギーがもっとも大きな時点で信号の切り替えを行なうようにするためである。

【0030】電池を持たない本実施形態のような半導体チップは、外部からのマイクロ波エネルギーに頼ることとなる。クロック信号がハイレベル即ちマイクロ波エネルギーを得ている一番最後、即ち信号が立ち下がる時が半導体チップが得ているエネルギーがピークとなる。一方、CMOS論理回路はその性質から、主に立ち上がり又は立ち下がりの動作のときに、貫通電流などによってエネルギーを消費し、信号レベルを維持しているその他の時間では殆どエネルギーを消費しない。従って、信号のハイレベルが続いてエネルギーがピークとなる点をCMOS論理回路の立ち下がりの動作の時点とすれば、回路が安定に動作することとなる。

【0031】図4に、リードオンリメモリ112の例のチップ上の平面図を示す。コンタクト穴502は、NMOSTランジスタ201のソース端子とソース配線503を接続するものであり、トランジスタ201のドレイン端子はドレイン配線504に接続されている。記号507は、トランジスタ201のゲート配線を示している。

【0032】図4では、図2で示したNMOSTランジ

(8) 002-184872 (P2002-184872A)

スタ201とそれを囲む3個のトランジスタがレイアウトによって示される。トランジスタ201は図の左上半分に、他のトランジスタは右上半分、左下半分、右下半分にそれぞれ配置されている。そして、それぞれにコンタクト穴が形成されている。

【0033】コンタクト穴502はソース配線503よりも内側にあって、正方形となっている。図4のレイアウトでは、トランジスタ201と右上半分のトランジスタのドレイン領域が共通となっている。コンタクト穴は、メモリ内容が「1」のときに配置されるが、メモリ内容が「0」のときはコンタクト穴は配置されない。

【0034】コンタクト穴は、電子線直接描画技術によって形成される。コンタクト穴は、配線よりも形状が固定されており、間隔は配線よりも広い。またメモリの内容を示すコンタクト穴以外のコンタクト穴、即ち図4に示したドレイン領域接続用のコンタクト穴510やゲート電極接続用のコンタクト穴511、周辺回路（ドレイン線回路、プリチャージ回路等）のコンタクト穴（図示せず）等と一緒に描画することが可能であり、そのときの描画密度は配線よりも低く、また、間隔も配線よりも広い。このことは、コンタクト穴に電子線直接描画技術を適用することの優位性を示している。

【0035】即ち、複雑な電子線近接効果補正をチップ毎に行なうことなく、認識番号を描画することができることを示している。電子線描画技術を配線に適用すると、配線の間隔が狭いところが多数かつ不規則に発生して、複雑な近接効果補正をチップ毎に行ない、それにより計算機処理やデータ量が増えると共に、多大な描画時間を必要として、描画効率を低下させる。

【0036】以上は、コンタクト穴の場合で説明したが、配線間を接続するスルーホール穴についても同様な効果となるので、設計の仕方をスルーホールで統一してメモリ内容をスルーホールの有無で示す方式とすれば、同様の電子線描画効率の向上を期待することができる。これは、スルーホール穴もコンタクト穴も、配線よりも小さい形状で正方形でパターン密度が小さく、かつ間隔が配線よりも広いことによる。

【0037】図5に図4のA-A'線で切った半導体チップのデバイス断面図を示す。素子分離膜501及び酸化膜506は、トランジスタ素子及び配線を相互に絶縁するために形成される。コンタクト穴502は、NMOSTランジスタ201のソース領域とソース配線503を接続するために用いられる。このNMOSTランジスタデバイスは、N型のシリコン半導体基板(N-Sub)にP型のウェルを形成し、その上にソース領域、ドレイン領域用のN型拡散を行なうことによって形成される。このようにして、トランジスタの構成要素となる導電領域が半導体基板表面に形成される。トランジスタ201のゲート507は、ソース、ドレイン間に形成されていて、NMOSTランジスタのオン、オフを制御するために用いられる。

【0038】電子線直接描画によりコンタクト穴を形成するためには、酸化膜506をウエハ全面に形成した後、電子線描画用レジストを塗布して、メモリのビット内容の「1」に相当する部分に所定のコンタクト穴を描画し、かつ周辺又はメモリ回路を形成するためのコンタクト穴を同時に形成するための描画を行なう。そのため、電子線描画装置の電子ビームの強度及び位置を制御する制御回路において、その計算機プログラムに認識番号用コンタクト穴及び周辺回路のコンタクト穴のウエハ上のデータを与えておく。

【0039】電子線描画に際して、レジストはポジ型を使用し、電子線が照射された部分が現像液によって溶解するようにする。この現像液によって、コンタクト穴を形成すべきところのレジストに穴が明くことになる。その後、レジストをマスクとしてドライエッチングを行なうことにより、所定の位置の酸化膜がエッチングされてコンタクト穴を形成することができる。

【0040】その後、配線材料をウエハ全面に成膜し、続いてホットエッチングを行なうことにより、配線パターンを形成することができる。

【0041】以上、コンタクト穴の場合について述べたが、配線間のスルーホール穴についても同様のプロセスを採用することができる。即ち、電子線描画によって、認識番号に従って所定の位置にスルーホール穴を形成することが可能である。例えば、図5の配線503をトランジスタ201に専用のソース配線に変え、該ソース配線を含む面の上に新たな絶縁層を形成し、該新たな絶縁膜に電子線描画法を用いて選択的にスルーホールを形成し、該スルーホールを介して上記ソース配線に接続される新たな配線を上記新たな絶縁膜上に形成することにより、スルーホール穴を用いてメモリを形成することが可能となる。

【0042】図6に今まで述べた認識番号を有する半導体チップ111の内部構成例を示す。コンデンサ113とコイル101は共振回路122を構成している。半導体チップ111の中に形成した複数ビットを持つリードオンリメモリ112は、電源回路102及び変調器109を有する整流送信回路603、復調回路103及びアンプ104を有するクロック回路604、デコーダ107、カウンタ105及び106によるカウンタ605によって動作し、認識番号の信号を送出する。

【0043】コイル101はオンチップで形成される。そして、コイル101は、半導体の配線プロセスを活用して、デバイス素子の完成後にアルミニウムや銅などの配線材料によって形成される。コイルのQ値を向上するためには、多層配線の複数の層を縦接続して、配線抵抗を下げるが行なわれる。また、コンデンサ113は、配線層を使用することにより、極性の制約のない良好なコンデンサを形成することが可能となる。

【0044】さて、本発明の認識番号を有する半導体チップは、チップサイズが小型であれば有るほど、後述す

(9) 002-184872 (P2002-184872A)

るように経済的に有効となる。更に、機械的強度の面からも、小型であれば有るほど、機械的な衝撃を受けにくく、従って割れや傷つきが生じにくく、強度を保持することが可能となる。このように、超小型でかつ認識番号を保有する半導体チップは、経済性及び信頼性の面で新しい価値を持つものである。更に、チップ内部に設けるリードオンリメモリ (ROM) は、電子線描画技術によって形成されるので、すべて異なる認識番号をウエハ全面に経済的にかつ小サイズで形成することが可能となる。この認識番号を有する半導体チップで用いられるデバイスは、シリコンCMOSに限ることはなく、ガリウム砒素化合物など他の材料やデバイス構造でも良く、制約はない。

【0045】図7に、ウエハから分離された本実施形態の認識番号を有する半導体チップ111を示す。標準厚型ウエハ701は、半導体のデバイス及び配線を形成するために、半導体製造工程にあるときのウエハ (半導体基板) であって、工業的に厚さの標準が決められているものである。半導体チップ111は、半導体ウエハ701の中に形成されていて、最終的にはダイシング又はエッチングによって分離される。図7 (a) は平面図であり、図7 (b) は断面図である。

【0046】図7 (b) において、記号aは半導体チップ111のチップ厚さを示し、記号bは半導体チップ111の平面寸法で長い方の辺の長さ (平面長辺寸法) 示している。認識番号を有する半導体チップでは、前述のように小型であれば有るほど経済的な効果をもたらすことが可能となる。それは、半導体ウエハの一枚の完成コストは使用する装置、プロセス、マスク枚数が同じであれば、標準的なコストが決まっている。従って、一枚のウエハから取得できる半導体チップの数が多ければ多いほど、一個の半導体チップのコストは低減する。また、半導体チップのチップサイズが小さければ小さいほど歩留まりは向上する。

【0047】そのためには、辺の長さbの寸法を小さくする必要があつて、辺の長さbはチップ厚さa即ち半導体ウエハ自体の初期の厚さよりも小さいことが本発明の基準となる。具体的には、本実施形態では、辺の長さbとして0.5mm以下を採用している。

【0048】本実施形態により、高価な電子線描画装置の効率的な活用を図ることが可能となり、認識番号を有する半導体チップを経済的に実現する方法を提供することができる。また、低コストでかつ機械的強度のある超小型の、認識番号を有する半導体チップを提供することができる。

【0049】図8に本発明の第2の実施の形態を示す。本実施形態の認識番号を有する半導体チップ111には、薄型の形状が採用される。図8 (a) はその平面図であり、図8 (b) は断面図である。ウエハ801は、図7 (a) の場合のような半導体プロセスの工程内にある状

態のウエハではなく、工程が終了し、そのウエハをバックグラインドやスピニングによって薄型にした状態のウエハを示している。

【0050】認識番号を有する半導体チップ111はウエハ801の中にあつて、この半導体チップ111は、ダイシングまたはドライエッチングによってチップサイズに分離される。図8 (b) における記号a' は半導体チップ111の厚さを示し、これはウエハ801の厚さに等しい。また、図8 (b) における記号bは、半導体チップ111の四角形の平面寸法で、図7 (b) の場合と同様、長い方の辺の長さを示している。この厚さa' は、認識番号を有する半導体チップ111を紙に渡き込んだり又は貼り付けたりして実装するとき、薄いほど応用展開性があつて付加価値を増大させるので、薄ければ薄いほど良い。また、辺の長さbは、小さければ小さいほど経済性に優れるが、半導体の微細化や回路規模によって限界が発生する。一方、厚さa' と辺の長さbの関係は、上記実装のためには、下記に図9を用いて説明するように、辺の長さbは厚さa' より大きいことが必要である。本実施形態では、辺の長さbを0.5mm以下、厚さa' を0.06mm以下としている。

【0051】半導体ウエハは、サイズが異なると標準の厚さも異なるが、1mmの厚さを超えることはない。一方、認識番号を有する半導体チップのチップサイズは、回路方式の改善、適用プロセスの改善、多層配線の層数増大によって、小型化を進めることができる。標準半導体ウエハの厚さよりも辺の長さが大きいチップを作るとは経済的に有効ではない。

【0052】本実施形態により、認識番号を有する半導体装置の効率の良い経済的な実装を実現することができる。

【0053】図9に本発明の第3の実施の形態を示す。本実施形態では、認識番号を有する半導体チップ111がフィルム状の実装基体901に実装される。図9 (a) は、辺の長さbが厚さa' よりも小さいケースを示し、図9 (b) は、辺の長さbが厚さa' よりも大きいケースを示している。実装基体901は、フィルム状の媒体であり、例えば紙シート、プラスチックシートなどである。半導体チップ111の表面には、トランジスタや配線層が存在するデバイス面902がある。この面にはオンチップのコイルや放射アンテナと称する外付けのアンテナ接続用端子が存在する。

【0054】図9 (a) では、デバイス面902が実装基体901に垂直になっている。半導体チップ111がサイコロ状になっているので、そのように実装される確率が高い。一方、図9 (b) ではデバイス面902が実装基体901に平行になっている。半導体チップ111が平板状になっているので、そのように実装される確率が高く、デバイス面902が実装基体901に対して垂直となる可能性は非常に低い。

( 0 ) 1 0 2 - 1 8 4 8 7 2 ( P 2 0 0 2 - 1 8 4 8 7 2 A )

【0055】フィルム状の薄い実装基体にデバイス面が垂直に搭載される場合、アンテナの指向性によって、認識番号を有する半導体チップからのデータの読み取りが正常に行なわれないことがある。フィルム状の薄い実装基体への搭載においては、認識番号を有する半導体チップが一つずつ分離されて、かつ散布状に配置されることが多いので、実装基体上には自然とデバイス面が上面または下面を向けて搭載されることが望ましい。

【0056】そのため、フィルム状の薄い実装基体に認識番号を有する半導体チップを実装する場合は、図9(b)に示すチップ形状となるように、認識番号を有する半導体チップ111の厚さ及び平面寸法が関係付けられる。言い換えると、認識番号を有する半導体チップ111の平面長辺寸法bは、半導体チップ111を取り出す裏面研磨したウエハの厚さ即ち厚さa'よりも大きく設定される。

【0057】平面長辺寸法bを例えば0.5mm以下とする場合、半導体チップ111は超小型になり、これを搭載した実装基体910は、箱、袋、筒等の色々な形状の物に自由に貼ることができる。そこで、例えば、食品を包装した箱に実装基体910を貼り、認識番号として品種、製造年月日、賞味期限、製造会社等を記すことにより、家庭の冷蔵庫の中に入れた食品を管理するという従来にないシステムが実現可能となる。即ち、冷蔵庫が中に入っている食品の認識番号(情報)を非接触でキャッチし、賞味期限が近づいたことを外部に知らせるシステムを実現することができる。

【0058】このような例では、製造業者側で大量の実装基体910を用いることになる。そのような使用に便ならしめるため、例えば、図10に示すように、半導体チップ111を搭載した実装基体910を長尺のテープ903に貼着し、このテープ903を折りたたんでインレット(収容ケース)904に収める半導体装置の製造方法が提供される。製造業者には、インレット904に収めた状態で大量の半導体チップ111が出荷される。

【0059】なお、このような使用では、認識番号は個々に別々とするのではなく、例えば製造日毎に異なるようにする。これまでの説明では、認識番号は半導体チップの個々に異なるとしたが、ある量毎に異なるようにすることは、上記の電子線描画法で可能であることは言うまでもない。

【0060】本実施形態により、半導体チップをフィルム状の薄い実装基体に効率よく搭載することが可能になる。

【0061】図11に本発明の第4の実施の形態を示す。本実施形態では、認識番号を有する半導体チップ111がバーコードと共存して用いられる。半導体チップ111の隣り又は上面又は下面に、バーコード114が存在している。図11においては、紙片状のシートにバーコード114が印刷され、その左隣に半導体チップ111が搭載さ

れ、全体として電子装置121が構成される。

【0062】本実施形態では、認識番号を記憶するリードオンリメモリ112の一部にバーコード114と同一のデータを記憶するバーコード領域115が設けられる。バーコード領域115は、その他に、半導体チップ111の中へ書き込み型メモリを配置し、そこに設けるようにしても良い。

【0063】バーコードは標準化が進められてきており、その応用分野は多様であるが、光技術を応用しているため、指向性が強く、必ずしも認識率に優れるとは言えない。そこで、バーコードを持つ本発明の半導体チップを併用することにより、バーコードシステムの弱点を補完して、認識率を向上させる方法が有効である。

【0064】このとき、上記したように複数ビットを持つ半導体チップ111内のメモリ112の一部115をバーコード114と同一のコードを割り当てる方式を採用すれば、この認識番号を有する半導体チップから読み取ったデータを変換しなくても良く、バーコードシステムのデータベースと共用することが可能となって、システムの開発及び運用に多大のメリットをもたらす。結果として、認識番号を有する半導体チップを用いたシステムの経済的実現に寄与することができる。

【0065】半導体チップ111のメモリ112内のバーコード領域115は、メモリ全領域112の一部にあり、この部分を暗号化範囲から除外することにより、従来のバーコードと同一の簡便性を享受することができる。また、逆に、バーコード領域115を暗号化の対象領域とすれば、セキュリティ上有効に運用することができる。

【0066】また、半導体チップ111のメモリ112の容量をバーコード114よりも大きくすることにより、半導体チップ111にバーコード114よりもはるかに大きな情報を持たせることができ、システムの実用性を増大させることができる。

【0067】本実施形態により、バーコードシステムを効率よく運用することが可能になり、認識番号を有する半導体装置の経済的な応用を実現することができる。

【0068】図12に本発明の第5の実施の形態を示す。本実施形態では、認識番号を有する半導体チップ111のメモリ112の中に、認識番号116を暗号化した暗号コード117が記憶され、この暗号化コード117と認識番号116を用いてチップ111の製造検査が行なわれる。検査はパソコン119によって実行される。

【0069】パソコン119は、アンテナ118を付帯し、内部に認識番号を暗号化するための鍵コード120をメモリに収容して持っている。検査時に、検査対象の半導体チップ111がアンテナ118の近くに置かれ、パソコン119が認識番号116と暗号化コード117を半導体チップ111から読み出す。

【0070】従来の半導体チップの検査は、半導体テストから所定のテストパターンを発生させて、それを検査

( 1 ) 102-184872 ( P2002-184872A )

の対象となる半導体チップに与え、続いて、半導体チップから取り出される対応する出力パターンと、半導体テストが所有する所定のパターンとを照合し、良品か不良品かを判別することによって行なわれていた。この検査は、同じ仕様の半導体チップを対象とし、同じ手順で行なわれる。

【0071】一方、認識番号を有する半導体チップは個々に異なる認識番号を所有するため、検査は個々に別々になり、そのため、半導体テストは、異なる大量の認識番号データを備えなければならず、経済的に大きな負担となる。

【0072】本発明では、パソコンを活用した簡便な検査法を提供する。この方法では、パソコン119は、その中に所定の鍵コード120を持つだけで良い。即ち、パソコン119は、半導体チップ111から読み出される認識番号116を鍵コード120によって暗号化して暗号コードにする。続いてこの暗号コードと半導体チップ111から読み出される暗号化コード117とを照合する。この照合で一致すれば、良品とし、一致しなければ、不良品として扱う。なお、検査は、この逆に、半導体チップ111から読み出される暗号化コード117を解凍用の鍵コードで解凍し、解凍後の認識番号と半導体チップ111から読み出される認識番号116とを照合することによって行なうようにしても良い。

【0073】パソコン119は大量の認識番号データを保有する必要はなく、かつ簡便なソフトと簡便なハード（パソコン119）により、認識番号を有する半導体チップの検査を行なうことが可能となる。この暗号化法が完全であればあるほど、認識番号を有する半導体チップの良品と不良品の区別を完全に行なうことが容易となる。

【0074】本実施形態により、従来の高価な半導体テストを利用することなく、経済的に認識番号を有する半導体装置を検査する方法を提供することができる。

【0075】なお、半導体チップ111内の各回路の動作検査は、主要回路につながるテスト端子を半導体チップ111面に備え、該テスト端子を介して電源及びテスト信号を与えることによって可能である。

【0076】以上、本発明により低コストで製造可能な超小型の認識番号を有する半導体装置が実現されるので、本発明の認識番号を有する半導体装置は、上述の応用に加え、ＩＣカード、荷札、各種の鍵、ワイヤレスドアロック、パスカード、切符、定期券等への幅広い分野への応用があるほか、バーコードが記される物品の全体にわたって適用可能である。

【0077】

【発明の効果】本発明によれば、認識番号を有する半導体チップを経済的に設計する方法を提供することができる。即ち、ウエハ上の認識番号を有する半導体チップに個別に異なる認識番号をメモリとして書き込むために電子線描画法を用いるが、このとき、本発明のように、コ

ンタクト穴又は配線間のスルーホール穴を選択的に形成すれば、従来の複雑な近接効果補正を必要とすることなく、認識番号のパターンを描画することが可能となり、高価な電子線描画装置の効率的活用を図ることが可能となり、経済的に認識番号を有する半導体チップを実現する方法を提供することができる。

【0078】次に、本発明によれば、半導体チップの平面のサイズを標準厚型ウエハの厚さよりも小さくし、更にこのウエハを裏面研磨することによって研磨後のウエハの厚さよりも半導体チップの平面寸法を大きくすることにより、この認識番号を有する半導体チップをフィルム状の薄い実装基体に搭載するとき、デバイス面が実装基体に垂直状に搭載されることを避けて、効率よく搭載されることを可能とするものであり、半導体チップを経済的に実現する方法を提供することが可能となる。

【0079】更に、この認識番号を有する半導体チップの中にあるメモリの一部にバーコードと同じデータを組み込むことにより、従来のバーコードシステムと共存して取り扱うことが可能となり、システムを効率よく運用することが可能となり、この認識番号を有する半導体チップを経済的に応用する方法を提供することが可能となる。

【0080】更に次に、本発明によれば、この認識番号を有する半導体チップを検査するときに、認識番号を有する半導体チップ内にあるメモリに記憶させた認識番号の暗号化コードを利用することにより、従来の高価な半導体テストを用いることなく、検査を行なう方法を提供できることを提案し、経済的に認識番号を有する半導体チップを検査することが可能となる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の第1の実施形態を説明するための回路構成図。

【図2】第1の実施形態に用いるメモリを説明するための回路図。

【図3】第1の実施形態における回路の動作波形を説明するための波形図。

【図4】第1の実施形態に用いるメモリの構造を説明するための平面図。

【図5】第1の実施形態に用いるメモリの構造を説明するための断面図。

【図6】本発明の第1の実施形態による半導体チップを説明するための構成図。

【図7】本発明の第1の実施形態によるウエハから分離された半導体チップを説明するための図。

【図8】本発明の第2の実施形態を説明するための図。

【図9】本発明の第3の実施形態を説明するための図。

【図10】本発明の第3の実施形態による半導体チップの実装を説明するための図。

【図11】本発明の第4の実施形態を説明するための図。

( 2 ) 102-184872 ( P2002-184872A )

【図12】本発明の第5の実施形態を説明するための図。

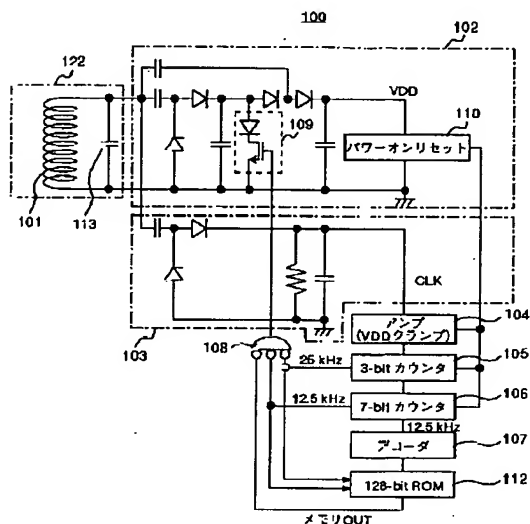
【符号の説明】

100…送受信回路、101…コイル、102…電源回路、103…復調回路、104…アンプ、105, 106, 605…カウンタ、107…デコーダ、108…ゲート回路、109…変調器、111…半導体チップ、112…リードオンリメモリ、113…コンデン

サ、114…バーコード、115…バーコード領域、116…認識番号、117…暗号化コード、121…電子装置、122…共振回路、201…トランジスタ、502…コンタクト穴、503…ソース線、504…ドレイン線、506…酸化膜、603…整流送信回路、604…クロック回路、701, 801…ウエハ、901…実装基体、902…デバイス面、903…テープ、904…インレット。

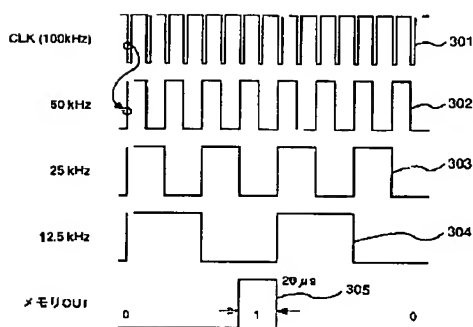
【図1】

図 1



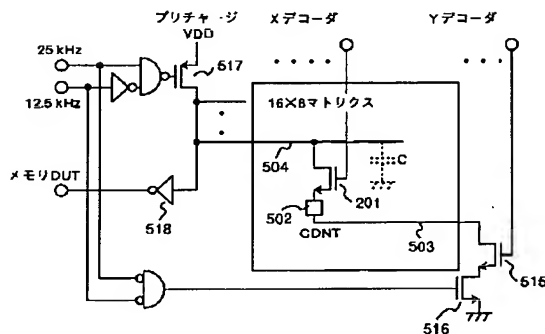
【図3】

図 3



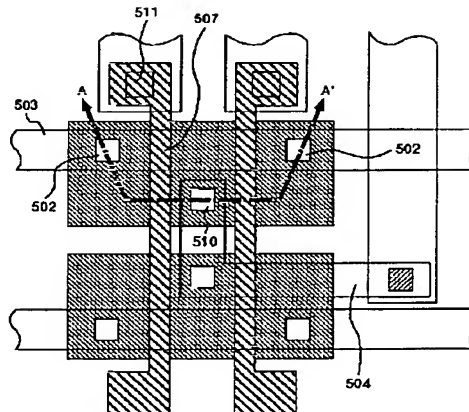
【図2】

図 2



【図4】

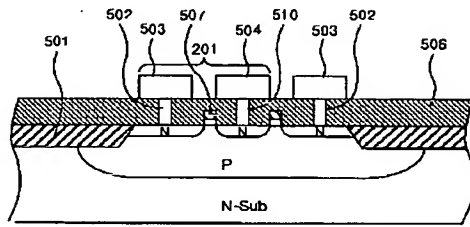
図 4



( 3 ) 02-184872 ( P2002-184872A )

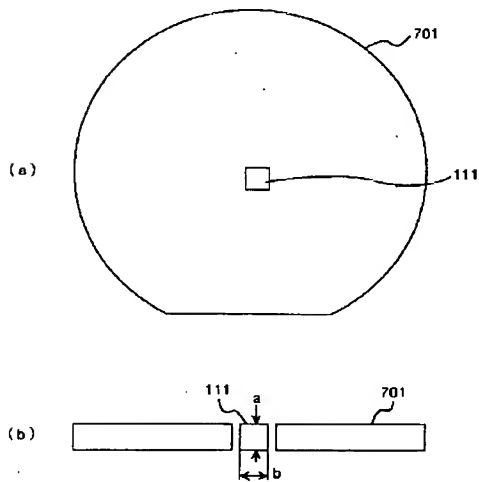
【図5】

図 5



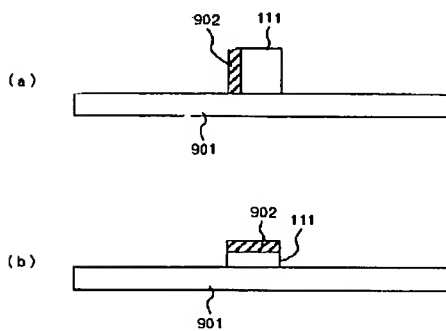
【図7】

図 7



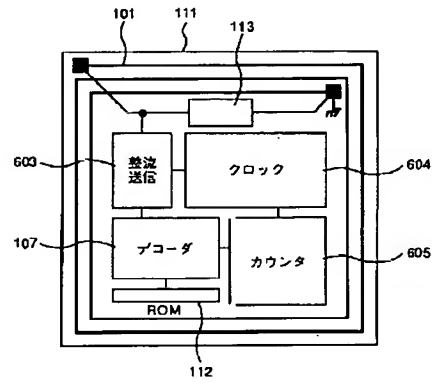
【図9】

図 9



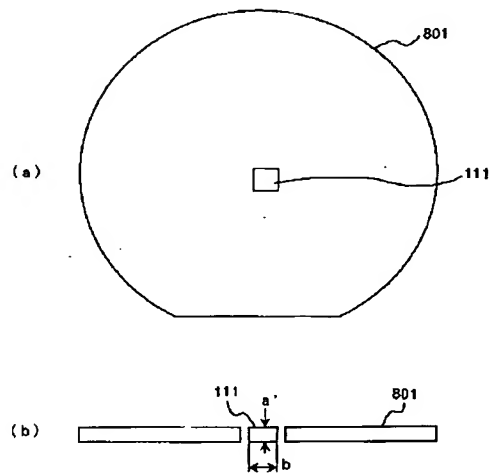
【図6】

図 6



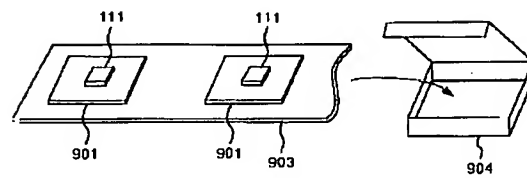
【図8】

図 8



【図10】

図 10

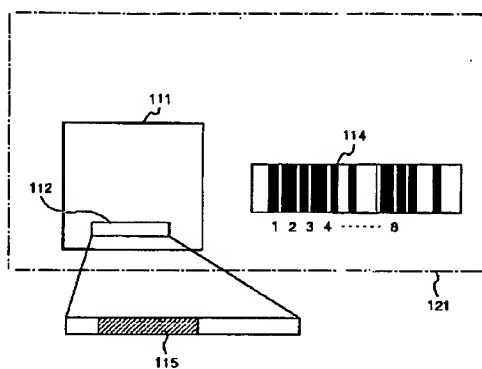




(第4) 102-184872 (P2002-184872A)

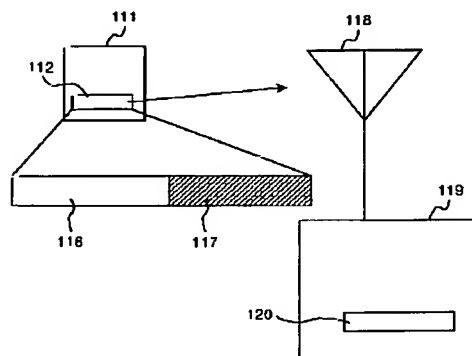
【図11】

図 11



【図12】

図 12



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

(参考)

G 1 1 C 17/00

H 0 1 L 23/00

A 5 F 0 5 6

27/10

4 6 1 5 F 0 8 3

17/08

4 3 3 5 L 1 0 6

17/12

G 0 6 K 19/00

K

17/18

G 1 1 C 17/00

3 0 1 A

29/00

6 5 2

3 0 4 Z

H 0 1 L 21/027

3 0 6 Z

23/00

H 0 1 L 21/30

5 0 2 Z

27/04

5 4 1 Z

21/822

27/04

T

27/10

4 6 1

L

F ターム(参考) 2H097 AA03 BA10 CA16 LA10

5B003 AA03 AB01 AC01 AC06 AD02

AD07 AD08 AE04 AE05

5B035 AA00 AA04 BA05 BB01 BB09

BC00 CA23 CA29 CA33

5F038 AC20 AV06 AV15 AZ04 DF01

DF05 DF11 DT13 DT19 EZ19

EZ20

5F046 AA16 AA20

5F056 AA01 CA05 DA30

5F083 CR03 LA09 PR01 ZA12

5L106 AA07 DD21 DD22 FF05 GG07